

DIALOG(R)File 352:Derwent WPI  
(c) 2002 Derwent Info Ltd. All rts. reserv.

010880041 \*\*Image available\*\*

WPI Acc No: 1996-376992/199638

XRAM Acc No: C96-119097

XRPX Acc No: N96-317575

Non volatile semiconductor memory with floating gate electrode for  
maintaining charge of memory cell - forms control gate electrode on  
entire surface of P type semiconductor substrate through inter layer  
insulating film whose thickness is uniform

Patent Assignee: HITACHI CHO LSI ENG KK (HISC ); HITACHI DEVICE ENG CO LTD  
(HISD ); HITACHI LTD (HITA )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8181231	A	19960712	JP 94324414	A	19941227	199638 B

Priority Applications (No Type Date): JP 94324414 A 19941227

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8181231	A	8	H01L-021/8247	

Abstract (Basic): JP 8181231 A

The semiconductor memory has a P type semiconductor substrate (1).  
A floating gate electrode (4) is formed on the desired portion of the  
substrate, through a gate insulating film (3). A control gate electrode  
(6) is formed on the upper surface of the substrate through an inter  
layer insulating film (5).

A N type source and drain areas are formed by the portions of the  
substrate lying on either sides of the floating gate electrode. The  
thickness of the inter layer insulating film is made uniform all over  
the surface.

ADVANTAGE - Improves charge maintenance characteristics and  
reliability. Improves dielectric breakdown voltage. Reduces leakage  
current in low electric field part. Suppresses disturbance phenomenon.

Dwg. 2/15

Title Terms: NON; VOLATILE; SEMICONDUCTOR; MEMORY; FLOAT; GATE; ELECTRODE;  
MAINTAIN; CHARGE; MEMORY; CELL; FORM; CONTROL; GATE; ELECTRODE; SURFACE;  
P; TYPE; SEMICONDUCTOR; SUBSTRATE; THROUGH; INTER; LAYER; INSULATE; FILM;  
THICK; UNIFORM

Derwent Class: L03; U12; U13; U14

International Patent Class (Main): H01L-021/8247

International Patent Class (Additional): H01L-027/115; H01L-029/788;  
H01L-029/792

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

05225731 \*\*Image available\*\*

NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 08-181231 [JP 8181231 A]

PUBLISHED: July 12, 1996 (19960712)

INVENTOR(s): ADACHI TETSUO

KATO MASATAKA

KOBAYASHI TAKASHI

MORIMOTO TADAO

MIYAMOTO NAOKI

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP (Japan)

HITACHI VLSI ENG CORP [489108] (A Japanese Company or Corporation), JP (Japan)

HITACHI DEVICE ENG CO LTD [486661] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 06-324414 [JP 94324414]

FILED: December 27, 1994 (19941227)

INTL CLASS: [6] H01L-021/8247; H01L-029/788; H01L-029/792; H01L-027/115

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2 (INFORMATION PROCESSING -- Memory Units)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

#### ABSTRACT

PURPOSE: To provide a nonvolatile semiconductor storage device, in which charge holding characteristics are improved and which has high reliability, and manufacture thereof.

CONSTITUTION: In a nonvolatile semiconductor storage device with a floating gate electrode 4 formed on a semiconductor substrate 1 through a gate insulating film 3 and a control gate electrode 6 formed onto the upper section of the gate electrode 4 through an inter-layer insulating film 5, a process, in which the floating gate electrode is shaped, a process in which the upper end sections of the floating gate electrode are rounded, and a process in which the inter-layer insulating film is formed, are contained. Accordingly, field concentration in the inter-layer insulating film can be prevented and isolation voltage and disturbance resistance are not lowered by forming the upper end sections of the floating gate electrode in an arcuate shape, thus thinning the inter-layer insulating film, then realizing the large nonvolatile semiconductor storage device.

?

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-181231

(43)公開日 平成8年(1996)7月12日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 21/8247  
29/788  
29/792

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 78 3 7 1  
27/ 10 4 3 4

審査請求 未請求 請求項の数8 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平6-324414

(22)出願日 平成6年(1994)12月27日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリン  
グ株式会社

東京都小平市上水本町5丁目20番1号

(71)出願人 000233088

日立デバイスエンジニアリング株式会社  
千葉県茂原市早野3681番地

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 不揮発性半導体記憶装置及びその製造方法

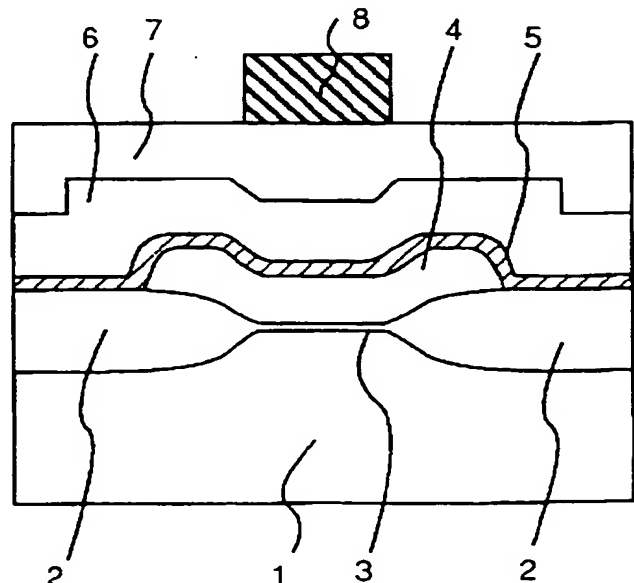
(57)【要約】

【目的】電荷保持特性の向上を図り、高信頼な不揮発性半導体記憶装置およびその製造方法を提供する。

【構成】半導体基板1にゲート絶縁膜3を介して形成された浮遊ゲート電極4とその上部に層間絶縁膜5を介して形成された制御ゲート電極6を備えた不揮発性半導体記憶装置において、浮遊ゲート電極を形成する工程と、前記電極上端部を丸める工程と層間絶縁膜を形成する工程を含む。

【効果】浮遊ゲート電極上端部を円弧状とすることにより、層間絶縁膜での電界集中を防止でき、絶縁耐圧およびディスタブ耐性の低下がなくなるため、これによって層間絶縁膜の薄膜化が可能となり、大容量不揮発性半導体記憶装置を実現できる。

図 1



## 【特許請求の範囲】

【請求項1】第1導電型半導体基板にゲート絶縁膜を介して形成された浮遊ゲート電極と、前記浮遊ゲート電極上に層間絶縁膜を介して形成された制御ゲート電極と、浮遊ゲート電極下部の半導体基板内に設けられた第2導電型のソース、ドレイン領域により構成されたメモリ構造において、層間絶縁膜の膜厚が浮遊ゲート電極上面から側面にかけて連続的に均一な構造であることを特徴とする不揮発性半導体記憶装置。

【請求項2】第1導電型半導体基板にゲート絶縁膜を介して形成された浮遊ゲート電極と、前記浮遊ゲート電極上に層間絶縁膜を介して形成された制御ゲート電極と、浮遊ゲート電極下部の半導体基板内に設けられた第2導電型のソース、ドレイン領域により構成されたメモリ構造において、浮遊ゲート電極と層間絶縁膜の接合面が曲面をなすことを特徴とする不揮発性半導体記憶装置。

【請求項3】請求項1および2記載の不揮発性半導体記憶装置において、浮遊ゲート電極が単層の多結晶シリコン層により形成されている不揮発性半導体記憶装置。

【請求項4】請求項1から3記載の不揮発性半導体記憶装置において、浮遊ゲート電極側面に絶縁膜のサイドウォールがある不揮発性半導体記憶装置。

【請求項5】請求項4記載の不揮発性半導体記憶装置の製造方法において、浮遊ゲート材料上に第1の絶縁膜を形成する工程と、前記絶縁膜および浮遊ゲート材料を浮遊ゲートとなるように加工する工程と、第1の絶縁膜の側面をエッチングする工程と、CVD法により形成される第2の絶縁膜を被着させ、第2および第1の絶縁膜を異方性のエッチングにより除去する工程を含む不揮発性半導体記憶装置の製造方法。

【請求項6】請求項5記載の不揮発性半導体記憶装置の製造方法において、第1および第2の絶縁膜はCVD法により形成される酸化膜である不揮発性半導体記憶装置の製造方法。

【請求項7】第1導電型半導体基板にゲート絶縁膜を介して形成された浮遊ゲート電極と、前記浮遊ゲート電極上に層間絶縁膜を介して形成された制御ゲート電極と、浮遊ゲート電極下部の半導体基板内に設けられた第2導電型のソース、ドレイン領域により構成された不揮発性半導体記憶装置の製造方法において、ホットエッチング工程により浮遊ゲート電極パターンを形成する際、少なくとも下地に接するレジストパターンのエッジは鋭角であることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項8】請求項7記載の不揮発性半導体記憶装置の製造方法において、ホットエッチング工程により浮遊ゲート電極パターンを形成する際、レジストパターンを形成する工程と、前記レジストパターンをマスクとして浮遊ゲート電極パターンをエッチングする前に、少なくとも100℃以上の熱処理工程を行う不揮発性半導体記憶装

置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、浮遊ゲート電極を備えた不揮発性半導体記憶装置に係り、特に、メモリセル電荷保持耐性向上を可能とする不揮発性半導体記憶装置及びその製造方法に関する。

## 【0002】

【従来の技術】従来、不揮発性半導体記憶装置には、紫外線消去型や電氣的書き換え可能な不揮発性半導体記憶装置などがある。

【0003】これらは、浮遊ゲート電極中に情報電荷を蓄積するもので、その代表的な構造として例えば、インターナショナル エレクトロン デバイス ミーティング、1987 第556項から第559項(International Electron Devices meeting 1987 PP556-559)および、アイ・イー・イー・イー、インターナショナル リライアビリティ フィジクス シンポジウム、1988 第158項から第166項(IEEE International Reliability Physics Symposium 1988 PP158-166)において論じられているNOR型メモリセルや、特願平1-42404 号のNAND型メモリセルなどがある。

【0004】図2にNOR型メモリセルの断面構造を示す。半導体基板1上に絶縁膜3を介して浮遊ゲート電極4があり、浮遊ゲート電極4は半導体基板1上の素子分離用絶縁膜2の上部まで重なるようにように配置されている。さらに、浮遊ゲート電極4の上部には層間絶縁膜5を介して制御ゲート電極6が置かれている。これらの上部には絶縁膜7を介してデータ線の金属配線8が配置されている。また、図では示していないが、金属配線8および絶縁膜7上には絶縁膜が覆われている。

【0005】図3にNOR型メモリセルの平面レイアウトを示す。ワード線22にあるメモリセル21は島上に形成された素子分離領域20によって隣のセルと分離され、2つのワード線22と素子分離領域20によって挟まれた領域にコンタクトホール23が形成されている。このコンタクトホール23は上下2つのメモリセルが共有する形となっている。

【0006】図4に図3中のB-B'断面を示す。データ線の金属配線8はコンタクトホール23を介してメモリセルのドレイン拡散層12に接続されている。ソース拡散層11は共通の拡散層配線に接続されている。ここで、図3中のA-A'断面は先に説明した図2である。

【0007】次に、NOR型メモリの書き換え方式について説明する。

【0008】まず、図4の左側のメモリセルに情報を書き込む場合、ソース11を接地した状態でドレイン拡散層12および制御ゲート6aに正電圧を加え、ドレイン接合表面近傍で発生するホットエレクトロンを浮遊ゲート電極4aに注入させる。本書き込みによって浮遊ゲート

4 a上に設けられた制御ゲート6 aからみたしきい値電圧は高くなる。

【0009】図5のアレイ構成図においてアレイ内の1ビット（メモリセル40）に情報を書き込むには、表1の電圧条件に示したように、任意のワード線W1およびデータ線D1に電圧を印加し、それ以外のワード線W2～W4およびデータ線D2は接地する。

【0010】消去はファウラ・ノルドハイム(Fowler-No rdheim: F-N) トンネル方式により行われる。図4の表1

	W1	W2	W3	W4	D1	D2	S
Read	Vcc	0V	0V	0V	1.5V	0V	0V
Write	Vpp	0V	0V	0V	Vcc	0V	0V
Erase	0V	0V	0V	0V	Open	Open	Vee

【0012】この際、図5に示すようにソース線Sは共通化されているため、まとまった単位の消去となる。

【0013】読み出しは、図4のドレイン拡散層12に低電圧を加え、制御ゲート電極6 aに電圧を加え、メモリセルに流れるチャネル電流の大小を情報の“1”または“0”に対応させることにより行う。

【0014】図5においてアレイ内の1ビット（メモリセル40）を読み出すには、任意のワード線W1およびデータ線D1に電圧を印加し、それ以外のワード線W2～W4およびデータ線D2は接地する。

【0015】次にNOR型メモリセルの形成方法を説明する。

【0016】図2に示すように、p型シリコン基板1上に素子分離用の酸化膜領域2を形成した後、犠牲酸化および犠牲酸化膜の除去工程を行い、ゲート酸化膜3を形成する。次にポリシリコン膜を全面に形成し、ホットエッチングプロセスにより上記ゲート酸化領域を覆うように浮遊ゲート電極4を加工する。

【0017】そして、全面に層間絶縁膜5、およびポリシリコン膜6を被着させる。この層間絶縁膜5の材料として、ポリシリコン膜上を熱酸化したものや、ポリシリコン膜を酸化した後、窒化シリコン膜、酸化膜を重ねた多層構造などがある。

【0018】次に、ホットエッチングプロセスにより図3のワード線22となるようにポリシリコン膜6、層間絶縁膜5、をエッチングするとともに、ポリシリコン膜4も同時に加工する。この後は、イオン打ち込みによりソースおよびドレイン拡散層形成11、12を行い、全面を絶縁膜7で覆った後、拡散層領域11にコンタクトホールを開け、金属配線材料を全面に形成しデータ線8となるように加工を行う。

【0019】以上がNOR型メモリセルの説明だが、NAND型メモリセルについてもメモリセルの断面構造は

制御ゲート6 a、6 bを接地しソース拡散層11に正電圧を加えることにより、浮遊ゲート4 a、4 bとソース拡散層11間のゲート酸化膜3に高電界を与え、ゲート酸化膜3を介したトンネル現象を利用して、浮遊ゲート電極中に蓄積された電子をソース側11に引き抜くことができる。本消去によって、制御電極6 a、6 bからみたしきい値電圧は低くなる。

【0011】

【表1】

ほぼNOR型と同様であり、ここでの説明は行わない。

【0020】

【発明が解決しようとする課題】上記に示した、浮遊ゲート電極を有する不揮発性半導体記憶装置では、微細化および低電圧化に伴うゲート絶縁膜、層間絶縁膜の薄膜化につれ、データ保持耐性に問題が生じる。浮遊ゲート電極を有する不揮発性メモリセルは、不揮発性の観点から、電圧が印加されない状態や、電圧が印加される読み出し状態においてもデータ（情報電荷）を保持し続けなければならない。しかし、電圧が印加されない状態や、読み出し状態（選択ワード線上にある非選択セル）においても浮遊ゲート内に蓄積された電荷によりゲート絶縁膜および層間絶縁膜には弱い電界が発生する。この電界の向きにしたがい情報電荷が外部に抜け或いは過剰な電荷が外部から注入される。

【0021】例えば、図5で示した読み出しの状態では、選択セル（メモリセル40）のワード線に低い電圧が印加される。この時、選択ワード線上の非選択メモリセル（メモリセル42）に電荷が蓄積されている場合、ゲート絶縁膜に比べ層間絶縁膜の電界強度が高くなり、この電界に起因したリーク現象により浮遊ゲートから制御ゲート側へ電荷の放出が起きる。一方、メモリセル42に電荷が蓄積されていない場合では、層間絶縁膜に比べゲート絶縁膜の電界強度が強くなり、基板から浮遊ゲートに電荷の注入が生じる。

【0022】これらの現象は、メモリセルの微細化、低電圧化が進むにつれてゲート絶縁膜および層間膜が薄膜になることから、上記部分からの電荷の抜けがさらに厳しくなる。

【0023】特に、図2に示すように従来の形状では、浮遊ゲート電極4は異方性加工によりエッジ部が垂直形状になっている。このような形状で層間絶縁膜を形成した場合、浮遊ゲートと制御ゲート間で生じる電界はこの

部分に集中する。

【0024】また、この状況は層間絶縁膜に熱酸化膜、あるいはその一部に熱酸化膜を用いた場合、エッジ部分の膜厚が薄くなるため、この部分に発生する電界がさらに強められる。この結果、層間絶縁膜を介しての電荷の放出が発生し、データ保持耐性は低下する。

【0025】これらの問題はNOR型のメモリセルだけではなくNAND型についても同様である。

【0026】本発明の目的は、紫外線あるいは電氣的に書き換え可能な浮遊ゲート電極を用いた不揮発性半導体記憶装置において、電荷保持特性に優れ、微細化、低電圧化を可能とした大容量の不揮発性半導体記憶装置およびその製造方法を提供することにある。

【0027】

【課題を解決するための手段】上記の目的を達成するために、本発明においては、図1に示すような、第1導電型半導体基板1にゲート絶縁膜3を介して形成された浮遊ゲート電極4と、前記浮遊ゲート電極4上に層間絶縁膜5を介して形成された制御ゲート電極6と、浮遊ゲート電極下部の半導体基板内に設けられた第2導電型のソース、ドレイン領域(図示略)により構成されたメモリ構造において、層間絶縁膜5の膜厚が浮遊ゲート電極4の上面から側面にかけて連続的に均一な構造であるメモリセル構造を備えている。

【0028】本発明の不揮発性半導体記憶装置は、以下の形成工程により製作できる。

【0029】第1導電型半導体基板にゲート絶縁膜を介して形成された浮遊ゲート電極と、前記浮遊ゲート電極上に層間絶縁膜を介して形成された制御ゲート電極と、浮遊ゲート電極下部の半導体基板内に設けられた第2導電型のソース、ドレイン領域により構成された不揮発性半導体記憶装置の製造方法において、浮遊ゲート材料上に第1の絶縁膜を形成する工程と、前記絶縁膜および浮遊ゲート材料を浮遊ゲートとなるように加工する工程と、第1の絶縁膜の側面をエッチングする工程と、CVD法により形成される第2の絶縁膜を被着させ、第2および第1の絶縁膜を異方性のエッチングにより除去する工程と、以降、従来と同様のワード線形成工程、パシベーション工程、コンタクト形成工程、メタル配線工程を経た後、図1に示すメモリセルを得る。

【0030】

【作用】以下、図9、図10、図1を用いて本発明の浮遊ゲート電極を有する不揮発性メモリの作用の詳細を説明する。

【0031】図9から図10、図1は本発明の第1の実施例における断面図である。図9に示したように、浮遊ゲート電極上にある第1の絶縁膜とその上部にある第2の絶縁膜を異方性エッチングした場合、浮遊ゲート上端部には第1の絶縁膜がないためこの部分の浮遊ゲートは第1の絶縁膜を除去する間割れることになる。また、第

2の絶縁膜はCVD法により形成されているため、浮遊ゲート段差部の第2の絶縁膜形状は、上面が円弧を描いた形状となる。このため、図10に示すような浮遊ゲート上端部は第2の絶縁膜形状を反映した形となる。

【0032】浮遊ゲートの端部が円弧状の形状では、図1に示すように上部の層間絶縁膜が均一に形成できるため、局所的な電界集中を防止できる。

【0033】図6は本発明と従来の構造における層間絶縁膜耐圧を比較したものである。両者共、浮遊ゲート平坦部に同じ膜厚の熱酸化膜を形成し、その上部に制御ゲート電極を設けている。縦軸は、浮遊ゲートを接地し、制御ゲートに正電圧を加えこの時に層間絶縁膜に流れる電流を示している。

【0034】従来の構造に対して本発明の構造では絶縁破壊耐圧が向上している。また、低電圧部でも電流レベルは低く押さえられている。このことは、本発明の構造によれば高信頼でかつ、データ保持に優れた層間膜特性可能にするものである。

【0035】図7はメモリセルを用い書き込み状態(浮遊ゲートに電荷を蓄えた状態)の電荷保持特性を示している。図の横軸は電圧印加時間、縦軸はメモリセルのしきい値を示している。評価条件は、拡散層および基板を接地電位とし、制御ゲートは読み出し時の低い正電圧を印加している。本発明の構造によれば、従来構造に比べ電荷の層間絶縁膜を介した電荷の放出に伴うしきい値の低下は改善されている。

【0036】

【実施例】

(実施例1) 本発明の第1の実施例を図1、図3、図4、図8から図10、図13、図14を用いて説明する。

【0037】本実施例は、本発明をNOR型フラッシュメモリに適用した場合について述べる。

【0038】図3はNOR型フラッシュメモリを用いた不揮発性半導体記憶装置の平面図、図1、図8から図10は図3のA-A'断面、図4は図3のB-B'断面、図13、図14は浮遊ゲート電極端部の断面模式図を示している。

【0039】まず図3を用いてNOR型フラッシュメモリセルの平面図を説明する。ワード線22にあるメモリセル21は島上に形成された素子分離領域20によって隣のセルと分離され、2つのワード線と素子分離領域20によって挟まれた領域にコンタクトホール23が形成されている。このコンタクトホール23は上下2つのメモリセルが共有する形となっている。

【0040】図4は図3のB-B'断面を示す。データ線8はコンタクトホール13を介してメモリセルのドレイン拡散層12に接続されている。ソース拡散層11は共通の拡散層配線に接続されている。

【0041】次に断面構造を図1により説明する。図1

は先に説明した図3のA-A'断面である。素子分離領域2によって囲まれた部分のp型シリコン基板1の表面は、膜厚が約9nmのトンネル酸化膜3により覆われ、この上部にポリシリコン層により形成された第1の浮遊ゲート4が、素子分離領域2にオーバーラップするように配置されている。

【0042】浮遊ゲート4の上部には公知の技術のCVD法によるシリコン酸化膜からなる層間絶縁膜5が形成されている。

【0043】層間絶縁膜5上には、ポリシリコン層またはタングステンなどによるシリサイド層を用いた制御ゲート（ワード線）6が形成されている。制御ゲート6上に絶縁膜7を形成し、この上に制御ゲート6と直交するように配置されたデータ線となるメタル配線8が形成されている。

【0044】図4に示したソース側11には、エッジトンネル放出を用いた書き込み効率を高めるためn型高濃度不純物層（ピーク濃度が約 $10^{20}/\text{cm}^3$ ）が形成されている。また、ドレイン側12には、ソース不純物層よりも濃度の低いn型不純物層が形成されている。

【0045】図1、図4に示すように、本実施例のメモリセルは、p型シリコン基板上に形成されているが、p型シリコン基板上でCMOSプロセスにより形成されたp型ウェル領域上、n型シリコン基板上のp型ウェル領域上においても形成できる。

【0046】図8から図10、および図1、図4を用いて、本実施例で述べる製造方法について説明する。

【0047】図8に示すように、p型シリコン基板1の表面に公知のLOCOS法による素子分離用酸化膜2を形成した後、犠牲酸化および酸化膜除去工程を経て、約9nmのトンネル酸化膜3を形成し、浮遊ゲート電極である第1のポリシリコン（120nm）膜4および上部に公知のCVD法による第1の絶縁膜34を50nm程度堆積させる。

【0048】絶縁膜34上に公知のホトレジストプロセスを用いレジストを浮遊ゲートパターン30となるように加工する。その後、異方性のドライエッチング33により第1のCVD絶縁膜34、第1のポリシリコン4を加工する。

【0049】次に、レジストを除去した後、図9に示すように第2のCVD絶縁膜35を全面に被着させる。ここで、CVD絶縁膜形成前の前洗浄等により、第1のCVD酸化膜34は図のように後退する。図13の断面は図8の浮遊ゲート加工後に、第1のCVD酸化膜の側面をエッチングした状態を示したものである。

【0050】その後、第1および第2のCVD酸化膜を除去するための異方性エッチング33を行い第1のポリシリコン4上の第1及び第2のCVD酸化膜を除去する。その結果、図10に示すように浮遊ゲート4の上端部はCVD酸化膜の異方的なエッチングにより、図のよ

うな円弧状の形状となる。図14はその断面である。

【0051】この構造では、層間絶縁膜が接する浮遊ゲート面は丸みをおびた形状であり、さらに、浮遊ゲートと素子分離用酸化膜2が接する部分はCVD酸化膜35で覆われるためこれらの領域での電界集中は発生しない。

【0052】ここで、浮遊ゲート4上部の絶縁膜は、CVD酸化膜を用いていたが、 $\text{Si}_3\text{N}_4$ 膜を用いることも実現できる。

【0053】また、上記内容では第1のCVD絶縁膜を浮遊ゲート端部より後退させる方法として、浮遊ゲートのレジストパターンを除去した後に行っているが、レジストパターンがある状態すなわち浮遊ゲート電極加工中で絶縁膜のエッチングを行うこともできる。

【0054】この後は、上部のレジスト膜30を除去し、図1に示す公知のCVD法によるシリコン酸化膜からなる層間絶縁膜5を形成する。酸化膜厚は約15nmである。CVD法を用いることにより、層間絶縁膜5はポリシリコン膜4の周辺形状に従い均一な膜厚でポリシリコン膜4を覆うことができる。

【0055】ここで、層間絶縁膜5はシリコン酸化膜/シリコン窒化膜/シリコン酸化膜の多層構造や、ポリシリコン膜4上を熱酸化法によって形成することもできる。層間絶縁膜5に多層膜を用いた場合の膜厚構成は、シリコン酸化膜5nm/シリコン窒化膜約10nm/シリコン酸化膜5nm程度である。

【0056】次に、200nmのポリシリコン層6を形成し、公知のホトレジストプロセスを用い図4のワード配線6となるようにレジストを加工する。

【0057】その後、レジストをマスクとしポリシリコン層6をワード線となるように加工すると共に、層間絶縁膜5、浮遊ゲート4をメモリセルとなるように加工する。

【0058】この後は、公知のCVD法による酸化膜および燐ガラスからなる層間絶縁膜7を全面に600nm程度形成し、アニール工程およびドライエッチング工程により上記絶縁膜を平坦化する。続いて、制御ゲート6およびドレイン拡散層12に導通を図るため図4に示すようにコンタクトホール13を開け、その上部に形成した金属配線材料を、データ線8となるようにホトレジスト加工工程を用い加工する。

【0059】（実施例2）図11、図12は、第2の実施例を示している。第1の実施例では浮遊ゲートエッジを円弧状にするために、浮遊ゲート上部に第1、第2のCVD絶縁膜を形成し、それら絶縁膜を異方性のドライエッチングにより除去する方法を用いていたが、本実施例では浮遊ゲートを加工する際のレジスト形状を制御することで同様の形状を実現する。

【0060】本実施例はメモリセルの形成工程が異なるが、平面および断面構造は概ね第1の実施例と同様であ

る。

【0061】図11、図12、図1を用いて、本実施例の製造方法について説明する。

【0062】図11に示すように、第1の実施例と同様に浮遊ゲート上にホトレジストプロセス30を用い浮遊ゲートパターンを形成する。レジスト形状は図の通りテーパー形状になるよう加工する。これは、レジストを図8の第1の実施例で示したように公知のホトレジストプロセスにより加工を行った後、熱処理を行いレジストを軟化させ、表面張力作用を活用することにより実現できる。

【0063】その後、図12に示すように異方性のエッチング32によりポリシリコン4の加工を行う。エッチングはポリシリコンのエッチング速度がレジストのエッチング速度に対して極端に速くならないよう、ここではレジストに対して30倍以下の条件で行う。このようにしてエッチングを行うとレジスト形状が下地のポリシリコンに転写される。

【0064】次に、レジスト30を除去した後、第1の実施例と同様に図1に示す層間絶縁膜5、ポリシリコン層6の形成工程およびその加工工程により図1に示したメモリセルが実現できる。

【0065】

【発明の効果】本発明によれば、浮遊ゲート電極中に電荷を蓄える不揮発性半導体記憶装置において、浮遊ゲート電極と制御ゲート電極の間にある層間絶縁膜の絶縁破壊耐圧が向上できると共に、低電界部分でのリーク電流も低減できる。

【0066】また、不揮発性半導体記憶装置において、浮遊ゲート電極から層間絶縁膜を介して制御ゲート電極へ電荷が抜けるあるいは注入されるようなディスタープ現象を抑制できる。

【0067】さらに、微細化に伴うゲート絶縁膜および層間絶縁膜の薄膜化においても加工形状起因による絶縁耐圧およびディスタープ耐性の低下がない。

【0068】以上のことから、本発明を用いたメモリセルにより、高信頼でかつ大容量な不揮発性記憶装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の不揮発性半導体装置に用いられるメモリセルの断面図。

【図2】従来の不揮発性半導体記憶装置の断面図。

【図3】本発明および従来の不揮発性半導体装置の平面図。

【図4】本発明および従来の不揮発性半導体装置の断面図。

【図5】本発明および従来の不揮発性半導体装置のマップ構成図。

【図6】本発明の効果の説明図。

【図7】本発明の効果の説明図。

【図8】本発明の一実施例のメモリセル部の製造工程を示す断面図。

【図9】本発明の一実施例のメモリセル部の製造工程を示す断面図。

【図10】本発明の一実施例のメモリセル部の製造工程を示す断面図。

【図11】本発明の一実施例のメモリセル部の製造工程を示す断面図。

【図12】本発明の一実施例のメモリセル部の製造工程を示す断面図。

【図13】本発明の一実施例におけるメモリセル形状を示す断面模式図。

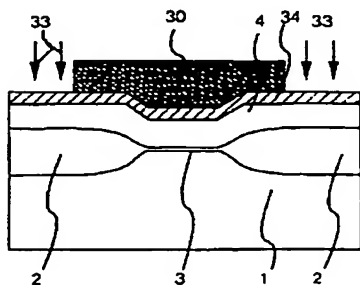
【図14】本発明の一実施例におけるメモリセル形状を示す断面模式図。

【符号の説明】

1…p型半導体基板、2、20…LOCOS領域、3…ゲート絶縁膜、4、21…浮遊ゲート電極、5…層間絶縁膜、6a、6b、22…制御ゲート、7…絶縁膜領域、8、24…メタルのデータ線、10…電荷放出、11…ソース側n型不純物層領域、12…ドレインn型不純物層領域、13、23…コンタクトホール、40、41、42、43、44、45、46、47…メモリセル、30…ホトレジスト、32…異方性エッチング、33…異方性エッチング、34…第1のCVD酸化膜、35…第2のCVD酸化膜。

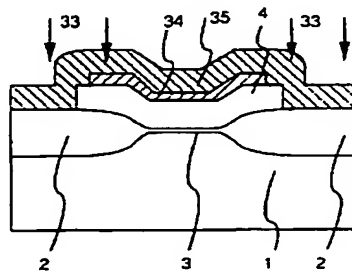
【図8】

図8



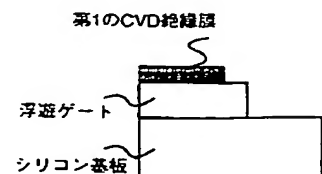
【図9】

図9



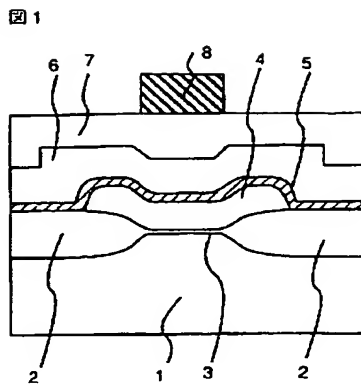
【図13】

図13

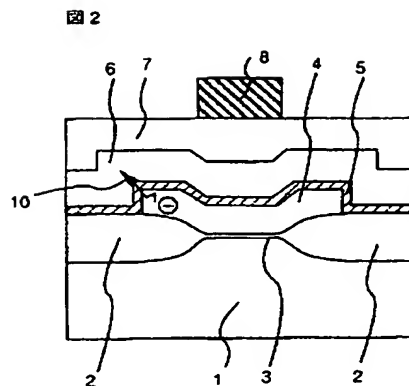




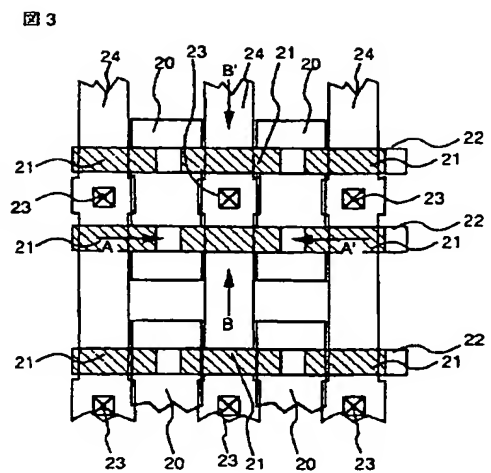
【図1】



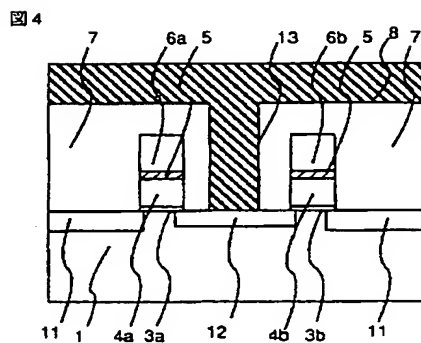
【図2】



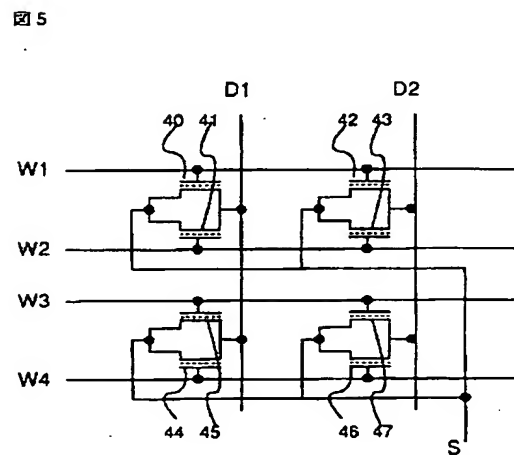
【図3】



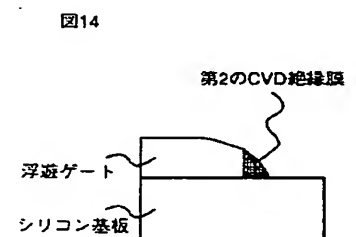
【図4】



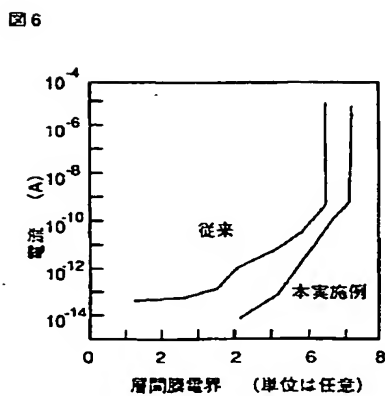
【図5】



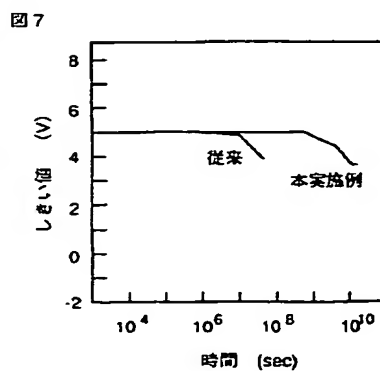
【図14】



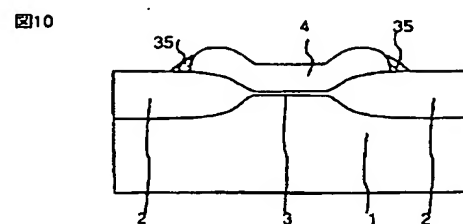
【図6】



【図7】

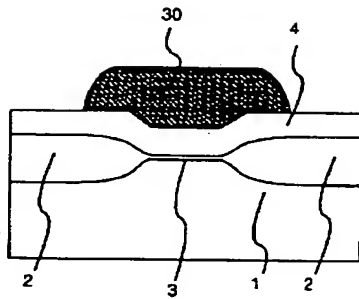


【図10】



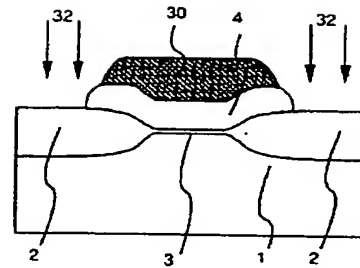
【図 1 1】

図11



【図 1 2】

図12



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/115

(72)発明者 足立 哲生

東京都国分寺市東恋ヶ窪 1 丁目 280 番地  
株式会社日立製作所中央研究所内

(72)発明者 加藤 正高

東京都国分寺市東恋ヶ窪 1 丁目 280 番地  
株式会社日立製作所中央研究所内

(72)発明者 小林 孝

東京都国分寺市東恋ヶ窪 1 丁目 280 番地  
株式会社日立製作所中央研究所内

(72)発明者 森本 忠雄

東京都小平市上水本町 5 丁目 20 番 1 号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内

(72)発明者 宮本 直樹

千葉県茂原市早野 3681 番地 日立デバイス  
エンジニアリング株式会社内

Best Available Copy